

VARIABLE CAPACITANCE DEVICE

Patent number: JP57099787 (A)
 Publication date: 1982-06-21
 Inventor(s): MINAGAWA SHIYOUICHI; SAKAI TAKAMASA
 Applicant(s): CLARION CO LTD
 Classification:
 - international: H01L21/822; H01L27/04; H01L29/93; H01L29/94; H01L21/70;
 H01L27/04; H01L29/66; (IPC1-7): H01L29/93
 - european: H01L29/93

Application number: JP19800176225 19801212
 Priority number(s): JP19800176225 19801212

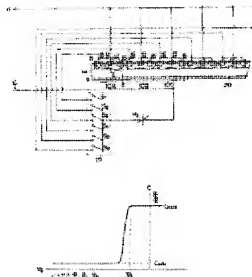
Also published as:

JP1042149 (B)
 JP1572288 (C)
 FR2496343 (A1)
 GB2092372 (A)
 DE3149257 (A1)

Abstract of JP 57099787 (A)

PURPOSE: To obtain an arbitrary capacitance value from capacitance readout terminals, by providing a variable capacitor having a maximum or minimum value of capacitance on a semiconductor substrate, switching inverse bias, and taking one of two values.

CONSTITUTION: A plurality of variable capacitors 10A, 10B, ... are formed on a semiconductor substrate 9. The bias voltage VB is switched by switching elements S1-Sn. Each capacitor 10A, 10B, ... takes either maximum or minimum, and corresponds to open or closed status of each elements S1-Sn. Hence, all the capacitance read out of terminals 17, 18 change correspondingly. The minimum capacitance for a single variable capacitor is parallel capacitance of both stray capacitance in the circuit and minimum capacitance. The minimum capacitance makes less for a thicker depletion layer control 16.; The maximum capacitance makes greater for a wider electrode area of a capacitance readout 13 or a changeable P-N junction size on the semiconductor substrate 9. This constitution enables the capacitance changes out of the terminals 17, 18 much greater than before.



Data supplied from the [esp@cenet](http://www.esp@cenet.com) database — Worldwide

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭57—99787

⑮ Int. Cl.³
H 01 L 29/93

識別記号

庁内整理番号
7357—5F

⑬ 公開 昭和57年(1982) 6月21日

発明の数 2
審査請求 未請求

(全 6 頁)

⑭ 可変容量装置

⑯ 特 願 昭55—176225

⑰ 出 願 昭55(1980)12月12日

⑱ 発 明 者 皆川昭一

東京都文京区白山 5 丁目35番 2
号クラリオン株式会社内

⑲ 発 明 者 坂井高正

東京都文京区白山 5 丁目35番 2
号クラリオン株式会社内

⑳ 出 願 人 クラリオン株式会社

東京都文京区白山 5 丁目35番 2
号

㉑ 代 理 人 弁理士 永田武三郎

明 細 書

1. 発明の名称

可変容量装置

2. 特許請求の範囲

1. 空乏層制御部と容量脱出部とを有する可変容量素子が半導体基板上に形成され、上記空乏層制御部に印加されるバイアス電圧により上記容量脱出部から脱み出される容量値が大、小のいずれかになるように制御されることを特徴とする可変容量装置。

2. 空乏層制御部と容量脱出部とを有する可変容量素子が複数個半導体基板上に形成されて上記複数個の容量脱出部は互いに接続され、上記複数個の空乏層制御部に印加される逆バイアス電圧により上記容量脱出部から脱み出される容量値が可変するように構成したことを特徴とする可変容量装置。

3. 上記逆バイアス電圧がバイアス切換回路を介して上記複数個の空乏層制御部に印加されることを特徴とする特許請求の範囲第2項記載の可変

容量装置。

4. 上記複数個の可変容量素子の容量値が最大値と最小値とのいずれかになるように制御されることを特徴とする特許請求の範囲第2項又は第3項記載の可変容量装置。

5. 上記複数個の可変容量素子の最大容量値が異なるように重み付けがなされることを特徴とする特許請求の範囲第2項乃至第4項記載の可変容量装置。

6. 上記バイアス切換回路が上記半導体基板上に形成されることを特徴とする特許請求の範囲第2項乃至第5項記載の可変容量装置。

7. 上記半導体基板上の複数個の可変容量素子間に絶縁領域が形成されることを特徴とする特許請求の範囲第2項乃至第6項記載の可変容量装置。

3. 発明の詳細な説明

本発明は、広範囲にわたる容量値の変化を精密に制御し得るように構成した可変容量装置に関するものである。

従来における可変容量装置として第1図のよう

なPN接合素子を利用することが一般的に行われている。同図において1はN型半導体領域、2はP型半導体領域、3はPN接合、4および5は上記領域1および2に各々設けられたオームミック電極、6および7は上記電極4および5に各々設けられた引出し端子、8は空乏層である。以上の構成において、引出し端子6および7に加えられるバイアス電圧に応じて空乏層8が伸縮し、これに基く容量値の変化が上記引出し端子6および7間において読み出されるようになっている。

しかしながら以上のようなPN接合素子を利用した従来の可変容量装置は以下のような欠点を有している。

(1) PN接合における空乏層容量のバイアス電圧依存性を利用するため、最小容量値は半導体領域の不純物濃度により決定され、一方最大容量値はコンダクタンス成分の増大により決定される。このためQが大きい状態で容量変化巾を大きくすることは実用上不可能となり、また容量変化に伴うQの変化が大きくなるので回路設計上困難を伴

なう。

(2) 容量を変化させるためのバイアス電圧印加および容量変化の読み出しを共通の引出し端子で行っているため、共振回路等に応用した時に入力信号電圧自体によつて不必要な容量変化を起し易くなり信号劣化をもたらす。また入力信号電圧とバイアス電圧との相互作用が少なくなるような特別な回路構成が必要とされるので、用途が限定されてしまう。

(3) 空乏層容量を決定するための半導体領域の不純物濃度が拡散法あるいはイオンインプラントーション法等の制御手段により行われるが、一般に歩留りが悪いのでIC回路へ集積化することは実用上不可能である。

第2図はその他の従来における可変容量装置の構成を示すものである。同図は構成原理を示す回路図で、 $C_1 \sim C_n$ は固定容量素子、 C_0 は回路の浮遊容量、 $S_1 \sim S_n$ はスイッチング素子、 6_A 、 7_A は容量読み出し端子である。なおnは任意の整数である。

以上の構成でn個のスイッチング素子 $S_1 \sim S_n$ は独立に開閉可能として、固定容量素子 $C_1 \sim C_n$ のn個までの容量（浮遊容量 C_0 は任意に選べる）の和を C_T とすると、 $C_T = C_1 + C_2 + C_3 + \dots + C_n$ で表わせる。よつて第2図の回路はスイッチング素子 $S_1 \sim S_n$ を適当に開閉することにより、容量値は $C_0 \sim C_0 + C_T$ の範囲にわたつて変化させることが可能となる。

一般に可変容量装置は、共振回路、同調回路、特定周波数回路等に用いられるが、容量値の変化は完全な連続的変化が必要とされない応用が多くある。例えば一般の商用放送受信機における同調回路においては、放送チャンネルの数に対応したステップ数だけの容量変化があれば良く、必ずしも完全な連続的変化は要求されない。

また固定容量素子 $C_1 \sim C_n$ の各容量値を異ならせて重み付けをすれば、容量変化の粗動および微調整が可能であり、比較的少ない数の固定容量素子を用意することにより広範囲にわたる容量値の変化を精密に制御することが可能となる。

ここで固定容量素子 $C_1 \sim C_n$ として、単体コンデンサ（デスクリートコンデンサ）を用いる場合、精密な容量値の変化を得るには厳選された高精度の部品を用意する必要がある。しかしながらこのためには多数の単体部品（コンデンサ）の中から所定の特性のものを選別するための作業が必要となり、またそのための歩留りの低下によるコストアップの問題が生じるので実用的でない。

本発明は上記欠点を除去するためなされたもので、容量最大値と容量最小値との2値状態をとり得る可変容量素子を半導体基板上に形成し、逆バイアス電圧をスイッチングさせることにより上記2値のいずれかをとりように制御して容量読出端子から任意の容量値が得られるように構成した可変容量装置を提供するものである。以下図面を参照して本発明実施例を説明する。第3図は本発明実施例による可変容量装置を示す断面図で、半導体基板9上に複数個の可変容量素子 10_A 、 10_B 、 10_C …を形成したものである。複数個の可変容量素子 10_A 、 10_B 、 10_C …は各々半導体基板9例えばN形シ

リコン上に形成したP形領域11およびこれに設けられた金属電極12から成る容量脱出部13と、上記P形領域11に隣接して形成された少なくとも一つのP形領域14およびこれに設けられた金属電極15から成る空乏層制御部16とを有している。17および18は上記複数の可変容量素子の各容量脱出部13を互いに並列に接続して全体の容量を読み取るための容量読出端子、 V_B はバイアス電圧、19は上記バイアス電圧 V_B を上記複数の空乏層制御部16に逆バイアスするように印加するためのスイッチング素子 $S_1 \sim S_n$ を含むバイアス切換回路、20は半導体基板9の表面に設けられたオーミック電極である。

以上の構成において、複数の可変容量素子 $10_A, 10_B, 10_C \dots$ における一つの素子の容量 C 対バイアス電圧 V_B の特性図は第4図のように変化する。空乏層制御部16に加えられるバイアス電圧 V_B （横軸）が0あるいはその近傍においては容量 C （縦軸）は最大値 C_{max} となつてゐるが、逆バイアス電圧が増加してその素子独自のしきい電圧 V_L

になつた時容量は急激に最小値 C_{min} へと変化し以後逆バイアス電圧 V_B 近傍ではこの値を維持する。すなわち、逆バイアス電圧 V_B を0と V_B との2値の間でスイッチングさせることにより、一つの可変容量素子の容量脱出部13から得られる値は最大値 C_{max} と最小値 C_{min} との2値のいずれかに制御することができる。

したがつて第3図のように複数の可変容量素子 $10_A, 10_B, 10_C \dots$ を半導体基板9内に形成した場合、バイアス電圧 V_B をスイッチング素子 $S_1 \sim S_n$ により各々スイッチングさせることにより各可変容量素子 $10_A, 10_B, 10_C \dots$ は最大値 C_{max} か最小値 C_{min} かのいずれになり、第2図の回路図におけるスイッチング素子 $S_1 \sim S_n$ の開、閉に対応した動作を行わせることができる。よつて容量読出端子17、18から読み出される全容量は全く同じような範囲に構成することができる。本実施例における可変容量装置において、可変容量素子の一つ当りの最小容量は、回路の浮遊容量 C_0 と前記最小値 C_{min} との並列容量となる。最小値 C_{min} は空乏

層制御部16の設計（例えば空乏層制御部16の厚みを大きくとる等）によつて小さくすることが可能である。また前記最大値 C_{max} は容量脱出部13の電極面積を変えることによつて、あるいは半導体基板9内のPN接合形状を変えることによつて大きくすることが可能である。

したがつて容量読出端子17、18から得られる可変容量装置としての容量の最大値と最小値との変化比を、従来のものに比べて格段に大きくすることが可能となる。

また上記個々の可変容量素子の最大値 C_{max} を異ならせることによつて複数の素子の重み付けをすることができ、広範囲にわたる容量値の変化を精密に制御することができる。さらに複数の可変容量素子に対して適当な組合せで空乏層制御部16に2値のバイアス電圧をバイアス切換回路19により切換えて印加することにより、任意の容量変化が可能となる。

第5図は本発明の他の実施例を示すもので、容量読出部13を半導体基板9表面に形成した絶縁膜

21例えば酸化絶縁膜およびこの上に設けた金属電極22から成るいわゆるMIS構造で構成した場合を示すものである。

第6図は本発明のその他の実施例を示すもので、半導体基板9表面に付着した任意の金属材料23でもつて上記基板9との間に金属・半導体バリアを形成し、いわゆるショットキー・バリア構造で容量脱出部13を構成した場合を示すものである。

以上ににおいては容量脱出部13をP-N接合構造、MIS構造、ショットキー・バリア構造で形成する例を示したが、これに限らず空乏層制御部16を同様にしてそのいずれで構成しても良い。

第7図は本発明の他の実施例を示すもので、半導体基板9上に形成した複数の可変容量素子 $10_A, 10_B, 10_C \dots$ の間に絶縁領域24を形成した構造を示す。絶縁領域24は酸化膜、ガラス等の絶縁物によつて構成することができ、あるいは空隙を設けることによつていわゆるエア・アイソレーション構造とすることもできる。複数の可変容量素子間にこのような絶縁領域24を設けることによつ

て、隣控する素子同士の影響を防止して電気的特性の安定化を計ることができ例えばQの変化を抑えることができる。

以上の各実施例において、空乏層制御部16にバイアス電圧を印加するためのバイアス切換回路19は、半導体基板9内に形成することができ信号によつて任意の空乏層制御部に対する2値のバイアス電圧のスイッチング制御を行わせることができる。

また上記半導体基板9をそのまま半導体集積回路基板として用いることができ、これにより部品としての小形化、コストダウンを計ることができる。

以上説明して明らかなように本発明によれば、容量最大値と容量最小値との2値状態をとり得る可変容量素子を半導体基板上に形成し、バイアス電圧をスイッチングさせることにより上記2値のいずれかをとるように制御するものであり、以下のような効果を得られる。

(1) 容量変化比を大きくすることができ、共振回路や同調回路等に用いる場合その中心周波数の

変化巾を大きくすることができるので回路設計が容易となる。

(2) 容量のQは半導体基板の比抵抗や電極形状を適当に設計することにより大きくすることができ、またスイッチング動作により容量の変化を行わせるので容量変化によるQの変化を小さく抑えることができる。

(3) 容量変化がスイッチング動作で行われ、また容量脱出端子と空乏層制御端子とが別個になっているために、本質的に入力信号による容量変化が少なくこれに伴う信号劣化が少ない。

(4) 容量部分の製造にあたりイオンインプランテーション等のバラツキの大きい不純物制御手段を用いなくとも容量の精密な制御が可能となり、またこれに伴い容量のバラツキを小さく抑えられるので歩留りが向上する。

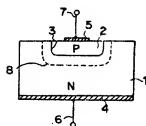
(5) 半導体集積回路技術を応用することにより、複数個の素子間の容量をバラツキなく製造でき、小形化、コストダウンが容易となる。

4. 図面の簡単な説明

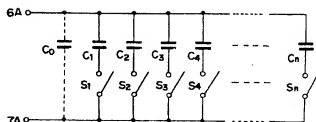
第1図は従来例を示す断面図、第2図は本発明の原理を示す回路図、第3図、第5図、第6図および第7図はいずれも本発明実施例を示す断面図、第4図は本発明を説明するための特性図である。

9…半導体基板、10_A、10_B、10_C、…可変容量素子、11、14…P形領域、12、15、20、22…電極、13…容量脱出部、16…空乏層制御部、17、18…容量脱出端子、19…バイアス切換回路、21…絶縁膜、23…ショットキー・バリア形成用金属、24…絶縁領域、V_B…バイアス電圧、S₁～S_n…スイッチング素子。

第 1 図

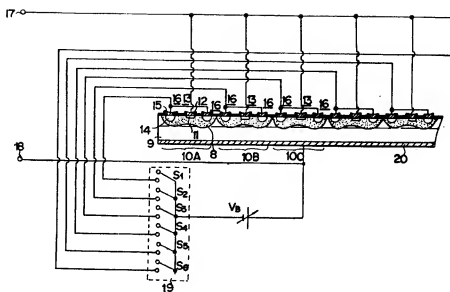


第 2 図

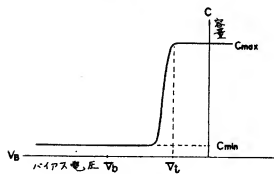


特 許 出 願 人 クラリオン株式会社
代理人 弁 理 士 永 田 武 三 郎

第 3 圖



第 4 圖



第 7 图

